

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-175953

(43)Date of publication of application : 13.07.1993

(51)Int.Cl.

H04L 7/08

H04J 3/06

(21)Application number : 03-354527

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 20.12.1991

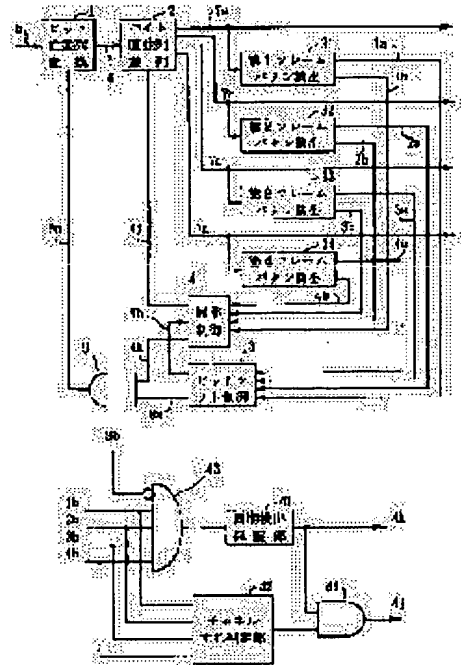
(72)Inventor : OSAKI YOSHIHARU

(54) SYNCHRONIZATION DETECTOR

(57)Abstract:

PURPOSE: To correct simultaneously a channel lead and a bit lead by detecting a lead quantity of a bit phase and a lead quantity of a channel phase based on a bit shift signal and a frame pattern detection signal to establish the synchronization.

CONSTITUTION: When frame pattern detection circuits 31-34 output bit shift signals 1a-4a representing a bit lead upon the detection of a frame pattern having a shift bit and output simultaneously frame pattern detection signals 1b-4b representing bit shift. The bit shift signals 1a-4a are collected by a bit shift control circuit 8 and a pulse equivalent to a deviation of channel synchronization is outputted to a byte serial parallel conversion circuit 2 as a channel shift instruction 4j. Furthermore, the pulse is outputted to a bit serial parallel conversion circuit 1 as a bit shift instruction 9a in the state of out of synchronism from an AND circuit 9. The circuits 1, 2 receiving the instructions 9a, 4j implement synchronization locking to establish the synchronization.



LEGAL STATUS

[Date of request for examination] 10.02.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2609187

[Date of registration] 13.02.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-175953

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl.⁵

H 0 4 L 7/08

H 0 4 J 3/06

識別記号

庁内整理番号

A 7928-5K

A 8843-5K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平3-354527

(22)出願日 平成3年(1991)12月20日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 大崎 吉晴

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

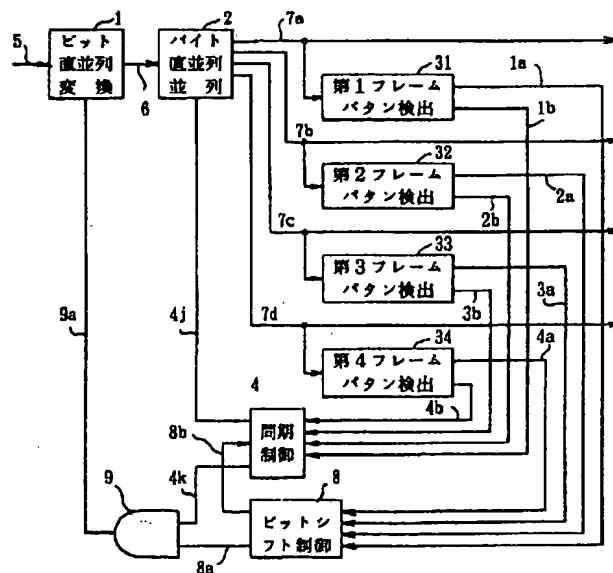
(74)代理人 弁理士 役 昌明 (外1名)

(54)【発明の名称】 同期検出装置

(57)【要約】 (修正有)

【目的】 低速回路を使用して多重分離を行なう方式でSTM識別子を使用せずにフレーム同期とチャンネル同期との確立を同時に実現する。

【構成】 各チャンネルのビットずれのフレーム・ボタンを検出しずれの量を表わすビット・シフト信号1a~4aとその検出のタイミングを表わすフレーム・ボタン検出信号1b~4bとを出力するフレーム・ボタン検出回路31~34と、ビット・シフト信号に基づきビットずれの量を判定しビット直並列変換回路1に対するフレーム同期補正用の制御信号9aを出力するビット・シフト制御回路8と、フレーム・ボタン検出信号に基づきチャンネルずれの量を判定しバイト直並列変換回路2に対するチャンネル同期補正用の制御信号4jを出力する同期制御回路4を設ける。



1

【特許請求の範囲】

【請求項1】 ビット直並列変換回路およびバイト直並列変換回路を通過した信号のフレーム同期およびチャンネル同期を検出して、前記ビット直並列変換回路およびバイト直並列変換回路の動作を制御する同期検出装置において、

各チャンネルのビットずれのフレーム・ボタンを検出して該ビットずれの量を表わすビット・シフト信号と該検出のタイミングを表わすフレーム・ボタン検出信号とを出力するフレーム・ボタン検出回路と、前記ビット・シフト信号に基づいて前記ビット直並列変換回路に対するフレーム同期補正用の制御信号を出力するビット・シフト制御回路と、

前記フレーム・ボタン検出信号に基づいて前記バイト直並列変換回路に対するチャンネル同期補正用の制御信号を出力する同期制御回路とを具備することを特徴とする同期検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、同期多重伝送方式において使用する多重分離装置の同期検出装置に関し、特に、フレーム同期およびチャンネル同期の同期補正を即時に行なえるようにしたものである。

【0002】

【従来の技術】 近年、CCITT (International Telegraph and Telephone Consultative Committee: 国際電信電話諮問委員会) において、SDH (Synchronous Digital Hierarchy) に基づいたSTM (Synchronous Transport Module: 同期多重伝送方式) が世界統一規格として勧告された。これに対応した従来の同期多重変換装置では、(1) 高速処理部 (シリアル信号処理部) において同期検出およびチャンネル検出を行なう方式、(2) チャンネル数に信号を分解した後、チャンネル毎に同期検出およびチャンネル検出を行なう方式、のいずれかによりシリアル多重信号の多重分離を行なっている。

【0003】 前記(1)の方式を採るSTM-N同期多重変換装置の多重分離部は、図5に示すように、シリアル多重信号5のフレーム同期を検出すると共に同期の保持を図るSTM-Nフレーム同期検出・保護回路60と、シリアル多重信号5を正規のNチャンネルに分離するNチャンネル分離回路61と、それらの回路60、61を制御する制御回路62とを備えている。

【0004】 この同期多重変換装置の多重分離部では、STM-Nフレーム同期検出・保護回路60において、入力するシリアルSTM-N信号5のフレーム・ボタンの検出を通じて、信号5の同期検出が行なわれ、これに基づく初期化信号65が制御回路62に送られる。初期化された制御回路62は、STM-Nフレーム同期検出・保護回路60にフレーム周期で制御信号63を送って、同期を保持させると共に、Nチャンネル分離回路61に制御信号64を送

2

り、シリアル多重信号5の各チャンネルへの分離のタイミングを制御する。

【0005】 これらの動作を通じて、シリアル多重信号5は、正規のNチャンネルに分離されるが、多重分離部を構成する各回路は、この動作を600MHZ以上の高速で処理することが要求される。

【0006】 制御回路62では、フレーム周期の制御信号63を送出するためにフレーム・カウンタを必要とするから、回路規模が増大し、また、STM-Nフレーム同期検出・保護回路60でも、完全なフレーム・ボタンを検出するために、やはり回路規模が大きくならざるを得ない。しかし、高速処理回路では、回路規模が拡大すると発熱量が急増し、信頼性が低下したり、集積化が困難となり装置の大型化、消費電力の増大等の弊害を招く。

【0007】 回路規模を小さくするため、STM-Nフレーム同期検出・保護回路60でフレーム・ボタンの一部のボタンのみを検出して同期を求める方法も考案されているが、この方法では、その一部のボタンと同じ偽フレーム・ボタンがフレーム周期内で発生したときに、それが原因となって誤同期を生むおそれがある。

【0008】 高速処理を回避するために考案されたものが前記(2)の方式であり、それを採用したSTM-N同期多重変換装置の多重分離部は、図6に示すように、シリアルSTM-4多重信号5を8ビット・パラレルのSTM-4多重信号6に変換するビット直並列変換回路1と、この多重信号6を8ビット・パラレルのSTM-1信号7a、7b、7c、7dに変換するバイト直並列変換回路2と、各チャンネル毎に設けられた第1～第4低速同期部71、72、73、74とを備えている。

【0009】 この低速同期部は、フレーム同期のずれを検出するフレーム同期検出・保護回路81と、フレーム・ボタンを検出して初期化信号86とビット・シフト指令88とを出力するフレーム・ボタン検出回路82と、STM識別子の検出を通じてチャンネル同期のずれを検出するチャンネル同期検出・保護回路83と、チャンネル・シフト指令89を出力するチャンネル位相ずれ算出回路84と、各回路を制御する制御回路85とで構成されている。

【0010】 この同期多重変換装置の多重分離部では、各チャンネル毎に分離して送り込まれた信号7a～7dの同期をフレーム同期検出・保護回路81で調べ、同期のずれを検出すると、フレーム同期はずれ信号87を出力する。この出力があると、フレーム・ボタン検出回路82は、フレーム・ボタンを検出し、制御回路85に対して初期化信号86を送出すると共にビット直並列変換回路1に対してビット・シフト指令88を出力する。この指令88を受けたビット直並列変換回路1では、同期の引き込みを行なってビットずれを除去する。

【0011】 こうした一連の動作により、フレーム同期確立が行なわれる。しかし、フレーム同期確立が実現してもチャンネル同期が引き込まれるわけではない。そのた

50

3

め、チャネル同期確立を実行するために、フレーム同期確立後、チャネル同期検出・保護回路83において、STM識別子によりチャネル検出を行ない、チャネル位相ずれ算出回路84からバイト直並列変換回路2に対して、チャネル・シフト指令89を出力する。この指令89を受けたバイト直並列変換回路2では、チャネル同期の引き込みを行なってチャネルずれを除く。フレーム同期およびチャネル同期が確立すると、制御回路85からフレーム同期検出・保護回路81およびチャネル同期検出・保護回路83に対して制御信号91、90が送られ、同期の保持が行なわれる。

【0012】このように、この方式では、同期検出によってフレーム同期が確立した後でなければ、STM識別子によるチャネル検出を行なうことができない。したがって、最悪チャネル復帰時間が $\tau+1$ フレームとなり、前記(1)の方式の τ に比べて長いという欠点がある(τ :最悪フレーム同期時間)。

【0013】さらに、この方式では、STM識別子が挿入されないとチャネル検出が不可能になる。

【0014】また、多重分離部を低速回路で構成する方式として、特願平3-180084号や特願平3-180085号の方式が提案されているが、これらの方式では、各チャネル毎にフレーム同期回路を設ける必要があり、回路規模が増大する欠点がある。

【0015】

【発明が解決しようとする課題】本発明は、このような従来装置の持つ問題点を解決するものであり、低速回路を使用して多重分離を行なう方式において、STM識別子を使用せずにフレーム同期とチャネル同期との確立を同時に実現できる同期検出装置を提供することを目的としている。

【0016】

【課題を解決するための手段】そこで、本発明では、ビット直並列変換回路およびバイト直並列変換回路を通過した信号のフレーム同期およびチャネル同期を検出して、ビット直並列変換回路およびバイト直並列変換回路の動作を制御する同期検出装置において、各チャネルのビットずれのフレーム・ボタンを検出してそのビットずれの量を表わすビット・シフト信号とその検出のタイミングを表わすフレーム・ボタン検出信号とを出力するフレーム・ボタン検出回路と、ビット・シフト信号に基づいてビット直並列変換回路に対するフレーム同期補正用の制御信号を出力するビット・シフト制御回路と、フレーム・ボタン検出信号に基づいてバイト直並列変換回路に対するチャネル同期補正用の制御信号を出力する同期制御回路とを設けている。

【0017】

【作用】この同期制御回路では、ビット・シフト制御回路において、各フレーム・ボタン検出回路が出力するビット・シフト信号からビットずれの量を判定し、また、

4

同期制御回路において、フレーム・ボタン検出信号から、チャネルずれの量を判定する。そして、この判定に基づいて、各制御回路からビット直並列変換回路およびバイト直並列変換回路に対して、フレーム同期補正およびチャネル同期補正のための制御信号が同時に出力される。

【0018】

【実施例】本発明の実施例における同期検出装置は、図1に示すように、シリアルSTM-4多重信号5を8ビット・パラレルのSTM-4多重信号6に変換するビット直並列変換回路1と、この多重信号6を8ビット・パラレルのSTM-1信号7a、7b、7c、7dに変換するバイト直並列変換回路2と、各チャネルのSTM-1信号7a~7dのフレーム・ボタンを検出してビット・シフト信号1a、2a、3a、4aとフレーム・ボタン検出信号1b、2b、3b、4bとを出力する第1~第4フレーム・ボタン検出回路31、32、33、34と、各フレーム・ボタン検出回路31~34から入力したビット・シフト信号1a~4aに基づいてビット直並列変換回路1にビット・シフト命令9aを出力するビット・シフト制御回路8と、各フレーム・ボタン検出回路31~34から入力したフレーム・ボタン検出信号1b~4bに基づいてバイト直並列変換回路2にチャネル・シフト命令4jを出力する同期制御回路4と、ビット・シフト制御回路8および同期制御回路4の出力が入力する論理積回路9とを備えており、これらのフレーム・ボタン検出回路31~34、ビット・シフト制御回路8および同期制御回路4により低速同期部を構成している。

【0019】まず、この同期検出装置における信号の流れについて説明する。

【0020】シリアルSTM-4多重信号5は、ビット直並列変換回路1において8ビットパラレルのSTM-4多重信号6に変換される。さらに、この8ビットパラレルのSTM-4多重信号6は、バイト直並列変換回路2で4つの8ビットパラレルのSTM-1信号7a~7dに分割されて、4つのフレーム・ボタン検出回路31~34に送出される。

【0021】フレーム・ボタン検出回路31~34では、STM-1信号のフレーム・ボタンを検出する。このフレーム・ボタンは、図3に例示する配列を備えている。同期のとれている状態(ビットの進み量が0)では、フレーム・ボタンに8ビットの正規の情報ビットが含まれているが、同期が外れてビットの進みが生じると、その進み量に応じて、情報ビットの一部が欠けてくる。フレーム・ボタン検出回路31~34では、ビットずれがあるフレーム・ボタンを検出すると、ビット進み値を表示するビット・シフト信号1a~4aを出力する。

【0022】同時に、フレーム・ボタン検出回路31~34は、ビットずれのあるフレーム・ボタンを検出したタイミングを示すフレーム・ボタン検出信号1b~4bを出力する。

5

【0023】各フレーム・ボタン検出回路31~34が出力するビット・シフト信号1a~4aは、ビット・シフト制御回路8に集められる。ビット・シフト制御回路8では、これらビット・シフト信号1a~4aの値が一致するかどうかを調べ、その値が0以外で一致したときは、ビット進み判定信号8bを同期制御回路4に送り、同時にその値に相当するパルスを送理積回路9に出力する。

【0024】一方、同期制御回路4には、各フレーム・ボタン検出回路31~34の出力するフレーム・ボタン検出信号1b~4bが集められる。同期制御回路4は、フレーム・ボタン検出信号1b~4bに基づいて、チャンネル同期のずれを判定し、そのずれの量に相当するパルスを、チャンネル・シフト命令4jとして、バイト直並列変換回路2に出力する。

【0025】また、同期制御回路4では、このフレーム・ボタン検出信号1b~4bと、ビット・シフト制御回路8から出力されたビット進み判定信号8bとに基づいて同期外れ状態（ハンチング状態）を検出し、ハンチング信号4kを送理積回路9に出力する。したがって、論理積回路9からは、同期外れの状態において、ビット・シフト制御回路8から送られたパルスが、ビット・シフト命令9aとして、バイト直並列変換回路1に出力される。

【0026】ビット・シフト命令9aおよびチャンネル・シフト命令4jを受けたバイト直並列変換回路1およびバイト直並列変換回路2では、同期引き込み動作を行なって同期を確立する。確立した同期は、同期制御回路4の動作により保持される。

【0027】同期確立のために必要なチャンネル・シフトの量は、各フレーム・ボタン検出回路31~34の出力するフレーム・ボタン検出信号1b~4bから求められるが、その理由について説明する。

【0028】今、同期外れの状態として、STM-4多重信号6のビットが1ビット進み、チャンネルが1チャンネル進んでいる状態と仮定する。

【0029】バイト直並列変換回路1から信号の送られた第1のフレーム・ボタン検出回路31では、図3の「進み1」のフレーム・ボタンを検出し、ビットずれ1を示すビット・シフト信号1aをビット・シフト制御回路8に出力する。同時に、第1のフレーム・ボタン検出回路31は、ビット・シフト信号1aの発生のタイミングを示すフレーム・ボタン検出信号1bを同期制御回路4に出力する。

【0030】同様に、第2のフレーム・ボタン検出回路32、第3のフレーム・ボタン検出回路33および第4のフレーム・ボタン検出回路34も、それぞれ、1ビット進みのフレーム・ボタンを検出したタイミングを示すフレーム・ボタン検出信号2b~4bを同期制御回路4に出力する。

【0031】このとき、チャンネル同期がとれている場合には、バイト直並列変換回路2からチャンネル1、チャネ

6

ル2、チャンネル3、チャンネル4の順に送られる信号が、チャンネルが1つ進んでいるため、図4の(a)に示すように、チャンネル4、チャンネル1、チャンネル2、チャンネル3の順に信号1、2、3...が送られる。フレーム先頭が信号1~4とすると、各フレーム・ボタン検出信号1b~4bの発生のタイミングは、図4の(b)のようになり、第4のフレーム・ボタン検出回路34の出力するフレーム・ボタン検出信号4bのみが1クロック進んだ状態となる。

【0032】同様に、チャンネルが2チャンネル進んでいるときは、第1のフレーム・ボタン検出回路31のフレーム・ボタン検出信号1bに対して、第3および第4のフレーム・ボタン検出回路33、34が出力するフレーム・ボタン検出信号3b、4bが1クロック進み、また、チャンネルが3チャンネル進んでいるときは、第2、第3および第4のフレーム・ボタン検出回路32、33、34の出力するフレーム・ボタン検出信号2b~4bが1クロック進むこととなる。

【0033】このように、同期制御回路4では、フレーム・ボタン検出信号1b~4bの発生タイミングによって、チャンネルずれの量を判定し、この量に相当するパルスをチャンネル・シフト命令としてバイト直並列変換回路2に対して発する。

【0034】この同期制御回路4の具体的構成は、図2に示すとおりであり、各フレーム・ボタン検出信号1b~4bとビット・シフト制御回路8からのビット進み判定信号8bの反転信号とが入力する論理積回路43と、フレーム・カウンタおよび競合カウンタよりなる同期検出・保護部41と、各フレーム・ボタン検出信号1b~4bの入力するチャンネルずれ判定部42と、同期検出・保護部41およびチャンネルずれ判定部42の各出力が入力する論理積回路44とを備えている。

【0035】論理積回路43は、各フレーム・ボタン検出信号1b~4bが同一のタイミングを示し、且つ、各ビット・シフト信号1a~4aの値が不一致かまたはビットずれ0を表示しているときに、パルスを同期検出・保護部41に出力する。

【0036】同期検出・保護部41は、ハンチング状態のときに、ハンチング信号4kを出力する。このハンチング信号4kは、論理積回路44に入力すると共に同期制御回路4から出力されて論理積回路9に入力する。チャンネルずれ判定部42では、入力するフレーム・ボタン検出信号1b~4bからチャンネルずれの量を判定し、その量に相当するパルスを論理積回路44に送り出す。論理積回路44は、ハンチング信号4kの存在しているときに送出されたパルスをチャンネル・シフト命令4jとして出力する。

【0037】チャンネル・シフト命令4jに応じてバイト直並列変換回路2でチャンネルずれの補正が行なわれ、また、論理積回路9から出力されるビット・シフト命令9aに応じてバイト直並列変換回路1でビットずれの補正が行なわれると、各フレーム・ボタン検出回路31~34が

10

20

30

40

50

出力するフレーム・パターン検出信号1b~4bのタイミングが一致し、且つ、ビット・シフト信号1a~4aがビットずれ0を表示する。そのため、論理積回路43からパルスが出力され、同期検出・保護部41に入力する。同期検出・保護部41では、この信号により、出力信号をハンチング信号から同期保護の信号に切り替える。

【0038】また、ビットの進みが2乃至7ビットであり、および/または、チャネルの進みが2または3チャネルである場合にも、同様の動作により同期引き込みが行なわれる。

【0039】なお、ここではSTM-4について説明をしたが、STM-N (N>2) に対しても同様の方式でチャネル検出が可能であることは明らかである。

【0040】

【発明の効果】以上の実施例の説明から明らかなように、本発明の同期検出装置では、チャネル毎に設けたフレーム・パターン検出回路31~34と、この検出回路31~34の出力するビット・シフト信号1a~4aを集めるビット・シフト制御回路8と、前記検出回路31~34の出力するフレーム・パターン検出信号1b~4bを集める同期制御回路4とにより低速同期部を構成し、ビット・シフト信号およびフレーム・パターン検出信号に基づいてビット位相の進み量およびチャネル位相の進み量を検知して同期確立を行なっている。そのため、この装置では、チャネル進みをビット進みと同時に補正することが可能であり、最悪チャネル復帰時間が短縮される。

【0041】また、チャネル位相の検出のためにSTM識別子を参照することを必要としないので、実用効果が大きい。また、ビット位相の進み量およびチャネル位相の進み量を別異の回路で判定しているため、これらの判定回路の構成を簡単なものにすることができる。

【図面の簡単な説明】

【図1】本発明の同期検出装置の一実施例を示すブロック図、

【図2】図1に示す装置における同期制御回路の具体的

構成図、

【図3】図1に示す装置のフレーム・パターン検出回路で検出するフレーム・パターンを示す図、

【図4】フレーム・パターン検出信号の発生タイミングを説明する図、

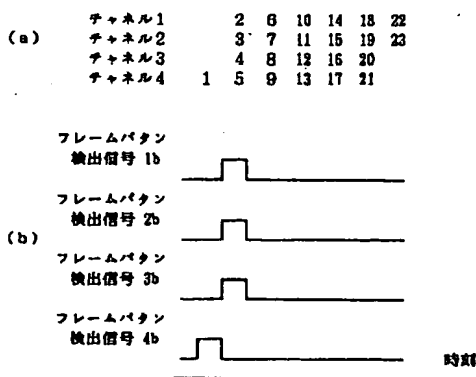
【図5】従来の同期検出装置の一例を示すブロック図、

【図6】従来の同期検出装置の他の例を示すブロック図である。

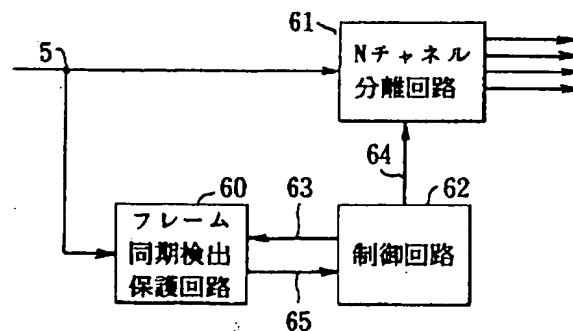
【符号の説明】

- 10 1 ビット直並列変換回路
2 バイト直並列変換回路
31~34、82 フレーム・パターン検出回路
4 同期制御回路
5 シリアルSTM-4多重信号
6 パラレルSTM-4多重信号
8 ビット・シフト制御回路
9、43、44 論理積
41 同期検出・保護部
42 チャネルずれ判定部
20 60、81 フレーム同期検出・保護回路
61 Nチャネル分離回路
62、85 制御回路
63、64、90、91 制御信号
65、86 初期化信号
71~74 低速同期部
83 チャネル同期検出・保護回路
84 チャネルずれ算出回路
87 フレーム同期外れ信号
1a、2a、3a、4a ビット・シフト信号
30 1b、2b、3b、4b フレーム・パターン検出信号
4j、89 チャネル・シフト命令
4k ハンチング信号
7a~7d パラレルSTM-1信号
8b ビット進み判定信号
9a、88 ビット・シフト命令

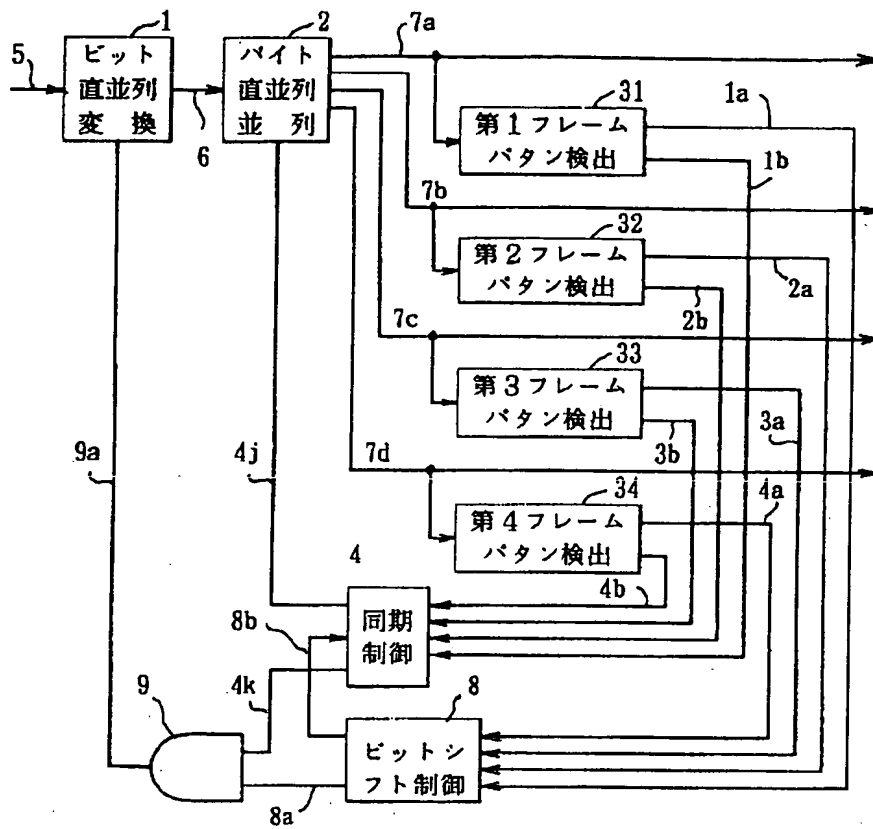
【図4】



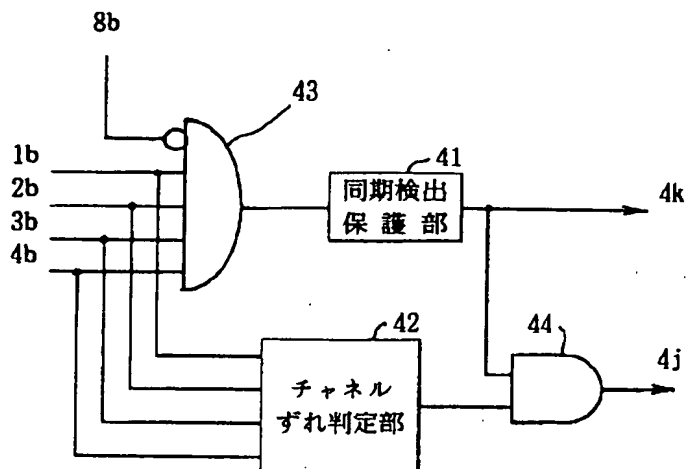
【図5】



【図1】



【図2】



【図3】

進み	検出フレームパターン
0	XX F6 F6 11110110 28 28 28
1	XX ED ED 1110110X 50 50 5X
2	XX DB DB 110110XX A0 A0 AX
3	XX B7 B7 10110XX1 41 41 4X
4	XF 6F 6F 0110XX1X 82 82 8X
5	XE DE DE 110XX1XX 05 05 XX
6	XD BD BD 10XX1XXX 0A 0A XX
7	XB 7B 7B 0XX1XXXX 14 14 XX

【図6】

